

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-008229

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 07-159599

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 26.06.1995

(72)Inventor : UTSUNOMIYA FUMIYASU

SAITO YUTAKA

SAITO NAOTO

OSANAI JUN

KONISHI HARUO

MIYAGI MASAKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ELECTRONIC EQUIPMENT

## (57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device or electronic equipment having a high-efficiency low-cost booster circuit by connecting a plurality of diode-connected MOSFETs and improving the booster circuit which inputs input signals to the nodes of the MOSFETs through capacitors.

CONSTITUTION: The MOSFETs M0-Mn and capacity elements C1 and Cn of a booster circuit are constituted by changing the threshold values VtM0-VtMn of the MOSFETs and capacitance values CC1-CCn of the capacitance elements. Or, a signal booster circuit which boosts the peak values of clock signals  $\Phi$  and  $\Phi^*$  which are the input signals of the booster circuit is added.



## LEGAL STATUS

[Date of request for examination]

05.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3290563

[Date of registration]

22.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of extinction of right]

Japanese Laid-Open No. Hei09-008229 English  
translation of the paragraph 0046 to 0049

[0046]  $V_c = [(V_i - V_{thi}) C_{ci} + V_{i+1} \times C_{ci+1}] / (C_{ci} + C_{ci+1})$

Here,  $C_{ci}$  denotes the capacitance value of an  $i^{th}$  stage capacitive element,  $V_i$  denotes the voltage of the  $i^{th}$  stage at the instant the clock signal is a high level,  $C_{ci+1}$  denotes the capacitance value of the  $i+1^{th}$  stage capacitive element,  $V_{i+1}$  denotes the voltage of the  $i+1^{th}$  stage at the instant the clock signal is a low level, and  $V_{thi}$  denotes the above MOSFET threshold value of the  $i^{th}$  stage.

[0047] It is apparent from this equation that the voltage rise amount  $V_c$  of a next stage is determined from the value of the capacitance value  $C_{ci+1}$  of the  $i+1^{th}$  stage capacitive element with respect to the capacitance value  $C_{ci}$  of the  $i^{th}$  stage capacitive element. In other words, it is apparent that the smaller the setting of the capacitance value  $C_{ci+1}$  of the  $i+1^{th}$  stage capacitive element with respect to the capacitance value  $C_{ci}$  of the  $i^{th}$  stage capacitive element, the faster the boosting rate of the booster circuit while, conversely, the larger the setting of this value, the slower the boosting rate. It

is also apparent that a rise in the boosting rate occurs as the above  $i^{\text{th}}$  stage MOSFET threshold value  $V_{\text{thi}}$  lowers.

[0048] With consideration to the change in the boosting rate that occurs in accordance with the value of the capacitance value  $CC_{i+1}$  of the  $i+1^{\text{th}}$  stage capacitive element with respect to the capacitance value  $CC_i$  of the  $i^{\text{th}}$  stage capacitive element, the booster circuit of this embodiment is configured so that the capacitance value of the capacitive element at each stage is successively reduced from a previous stage to a next stage by, while fixing the thickness of the oxide film which functions as an insulation film of the capacitive element at each stage, successively reducing the surface area  $SC_i$  of the capacitive element from a previous stage to a next stage ( $SC_1 > SC_2 > SC_3 \dots > SC_{n-1} > SC_n$ ). As a result, the boosting rate of the booster circuit can be caused to rise. Although there are no particular limitations thereto, the recommended design values of each part of the booster circuit of this embodiment are such that, assuming the power source voltage is to be boosted from 0.9V to 20V, a stage number is 24 and a capacitive element oxide film thickness is 50nm and, as the capacitive element surface area at each stage, taking the surface area of the first stage capacitive element to be  $5000\mu\text{m}^2$ , a surface area of the capacitive element at the second and subsequent stages takes a value obtained by,

from the surface area of the capacitive element at the previous stage of each stage, subtracting 10% of the surface area of the capacitive element of the previous stage thereof.

[0049] Furthermore, with consideration to the rise in the boosting rate that occurs as the above  $i^{\text{th}}$  stage MOSFET threshold value  $V_{thi}$  lowers, the boosting rate of the booster circuit can be further caused to rise and the boosting voltage also can be caused to rise by, in addition to the above described configuration of the capacitance elements of each stage, using the MOSFET threshold values of each stage in any of the configurations described by the above second to eighth embodiments.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-8229

(43) 公開日 平成9年(1997)1月

(51) Int. Cl.<sup>5</sup>

識別記号

片内整理番号

F I

技術表示

H 0 1 L 27/04  
21/522

H 0 1 L 27/04

G

審査請求 未請求 請求項の数 2 O L (全 17)

(21) 出願番号 特願平7-159599

(22) 出願日 平成7年(1995)6月26日

(71) 出願人 000002325

セイコー電子工業株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 宇都宮 文雄

千葉県千葉市美浜区中瀬1丁目8番地  
株式会社エスアイアイ・アールディセン  
内

(72) 発明者 齊藤 豊

千葉県千葉市美浜区中瀬1丁目8番地  
株式会社エスアイアイ・アールディセン  
内

(74) 代理人 弁理士 林 敏之助

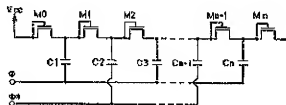
最終頁に

(54) 【発明の名称】 半導体集積回路装置及び電子機器

(57) 【要約】

【目的】 本発明の目的は、ダイオード接続されたMOSFETを複数直列接続し、前記MOSFETのノードに容量を介して入力信号を入力する昇圧回路を改良し、高効率、低コストな昇圧回路を有した半導体集積回路装置あるいは、電子機器を提供することにある。

【構成】 昇圧回路の前記MOSFET  $M_0 \sim M_n$  のしきい値  $V_{th0} \sim V_{thn}$  や容量素子  $C_1 \sim C_n$  の容量値  $C_{C1} \sim C_{Cn}$  を変えて構成する。あるいは、前記昇圧回路の入力する入力信号であるクロック信号φ、φ\*の波高値を



## 【特許請求の範囲】

【請求項1】 電源と電源の電圧を昇圧する2つの昇圧回路と前記2つの昇圧回路の各々の出力に、昇圧した電圧を放電する放電用MISFETを有する半導体集積回路と前記2つの昇圧回路の各々の出力にエレクトロミネッセンス素子の各々電極を電気的に接続し、前記エレクトロミネッセンス素子の片方の電極を昇圧している時に、前記エレクトロミネッセンス素子のもう片方の電極は、昇圧回路を放電する行為を繰り返して、前記エレクトロミネッセンス素子を発光させる電子機器において、前記エレクトロミネッセンス素子両電極の内、電圧を昇圧する方の電極の電圧を昇圧する方の前記昇圧回路のみを動作させ、昇圧電圧を放電する前記エレクトロミネッセンス素子のもう片方の電極の電圧を昇圧する前記昇圧回路は、停止させることを特徴とする電子機器。

【請求項2】 前記半導体集積回路は、発振回路と、前記発振回路で発生させた第1のクロック信号の波高値を昇圧する第1の信号昇圧化部と、前記発振回路で発生させた前記第1のクロック信号と位相が逆の第2のクロック信号の波高値を昇圧する第2の信号昇圧回路を有し、前記2つの昇圧回路は、複数のダイオード接続されたMISFETがノードを介して直列接続し、前記ノードには容量素子の片側電極が接続されており、前記容量素子の前記片側電極のもう片方の電極には、前記第1の信号昇圧回路の出力信号と前記第2の信号昇圧回路の出力信号1つ極きに交互に入力する高周波であり、前記エレクトロミネッセンス素子の両電極で、電圧を昇圧する側の電極の電圧を昇圧する前記昇圧回路にのみ前記第1と第2の信号昇圧回路の出力信号を入力し、昇圧電圧を放電する前記エレクトロミネッセンス素子のもう片方の電極の電圧を昇圧する前記昇圧回路には、前記第1と第2の信号昇圧回路の出力信号を入力しないことを特徴とする請求項1記載の電子機器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電源電圧などから昇圧した昇圧電圧を必要とする半導体集積回路装置に関するものであり、特に上記昇圧電圧を発生する昇圧回路に関

【0003】

【発明が解決しようとする課題】 前記従来のMOSFETを使用した昇圧回路では、前記MOSFETの果により、しきい値が上昇するため、昇圧効率が悪くなっていた。また、所望の電圧が高くなるのはMOSFETの基板効果によるしきい値の上昇となるため、高性能、高効率、低コストの昇圧回路とする半導体集積回路装置が得られなかった。

【0004】

【課題を解決するための手段】 上記課題を解決す  
本発明では以下のような手段をとった。第1の手  
1として、ダイオード接続したMOSFETを接  
接続した昇圧回路において、前記MOSFETの  
とドレイン間の、基板あるいはウェルの不純物濃  
くすることによって、ソース及びドレイン各々の  
の間の接合領域近傍に広がる空乏層の伸びを大き  
基板効果によるしきい値の上昇を強力抑える構成  
た。さらに、これらの昇圧回路をエレクトロミニ  
ンス素子に適用した場合、低消費で高輝度を得る  
回路であった。

【0005】 第1の手段その2として、前記MO  
Tのソース及びドレイン近傍の基板あるいはウェ  
純物濃度を、複数倍増とする構成とした。第1の  
の3として、前記MOSFETのソース及びドレ  
の基板あるいはウェルの不純物濃度を、薄く設  
構成とした。

【0006】 第1の手段その4として、前記MO  
TのL長を、基板効果が大きい後段側のMOSF  
短くし、短チャネル効果を積極的に利用して、  
果によって後段側のMOSFETほどしきい値を  
構成とした。第1の手段その5として、前記MO  
Tの同一チャネル上に親厚の異なる第1のゲート  
と第2のゲート絶縁膜を形成する構成とした。

【0007】 第1の手段その6として、前記第1  
ト絶縁膜と前記第2のゲート絶縁膜のそれぞれの  
面積比を変えるという構成とした。第1の手段そ  
して、前記昇圧回路の後段側のMOSFETのし  
を、前段側のMOSFETのしきい値より低くす  
う構成とした。

【0008】 第1の手段その8として、前記昇

3

各段の容量素子の容量値を初段から最終段にかけ、順次小さくしていく構成とした。第2の手段その2として、前記昇圧回路を一段以上のブロックに区切り、各ブロック内の容量素子の容量値は一定とし、前段側のブロックから後段側のブロックにかけ、順次容量素子の容量値を小さくしていく構成とした。

【0011】第3の手段その1として、前記昇圧回路の各段の容量素子の容量値を初段から最終段にかけ、順次小さくしていく構成とした。第3の手段その2として、前記昇圧回路を一段以上のブロックに区切り、各ブロック内の容量素子の容量値は一定とし、前段側のブロックから後段側のブロックにかけ、順次容量素子の容量値を小さくしていく構成とした。

【0012】第4の手段として、前記昇圧回路を前記昇圧回路に入力する入力信号であるクロック信号の波高値を昇圧する信号昇圧回路を付加した構成とした。第5の手段として、前記第1ないし前記第4のいずれか、あるいは、両手段をとった昇圧回路を電気的に書き換え可能な不揮発性メモリ素子を有する半導体集積回路装置に搭載した。

【0013】第6の手段として、前記第2の手段をとった昇圧回路を電気的に書き換え可能な不揮発性メモリ素子を有する半導体集積回路装置に搭載した。第7の手段として、前記第3の手段をとった昇圧回路を電気的に書き換え可能な不揮発性メモリ素子を有する半導体集積回路装置に搭載した。

【0014】第8の手段その1として、前記第1、前記第2、前記第4のいずれか1つ、ないし2つ、あるいは3つ全ての手段をとった前記昇圧回路を内蔵した半導体集積回路装置にエレクトロルミネッセンス素子を接続し、前記昇圧回路で前記エレクトロルミネッセンス素子を駆動するという手段をとった。

【0015】第8の手段その2として、前記エレクトロルミネッセンス素子を駆動するための、前記第1、前記第2、前記第4のいずれか1つ、ないし2つ、あるいは3つ全ての手段をとった前記昇圧回路を2個用い、前記エレクトロルミネッセンス素子の両側に昇圧された出力を交互に印加するという手段をとった。

【0016】第9の手段として、前記エレクトロルミネッセンス素子を駆動するための、前記第1、第2、第4

4

の差効率が大きい値が上昇することによる前記昇圧回路の昇圧電圧低下量を減少させることができるため得られなかった、電源電圧低い場合（例えばV）でも、信号昇圧回路なしで高電圧（例えば2V）の昇圧が可能な昇圧回路が実現する。

【0018】第2の手段をとることで、前記昇圧クロック信号の供給回数に対する昇圧電圧の上昇大し、今まで得られなかった低い電源電圧でもク信号の周波数を上昇させずに必要な昇圧昇圧速度昇圧回路が実現可能となる。さらに、容量素子の一定にして、容量素子の酸化膜厚を減らして容量値を減らす場合は、高い電圧がかかる後段の容量素子ほど膜厚を厚くできるので、従来よりも容量素子の耐昇圧回路が実現可能となる。

【0019】第3の手段をとることで、昇圧回路クロック信号の供給回数に対する昇圧電圧の上昇が、今まで得られなかった電源電圧が高い場合で昇圧速度を遅らせた昇圧回路が実現可能となる。

【0020】第4の手段をとることで、前記クロック信号の波高値が昇圧されるので、前記昇圧回路の昇と昇圧速度を上昇させることが出来た結果、電源電圧低い場合でも、あるいは、所望の昇圧電圧が高いも、所望の昇圧電圧が得られる昇圧回路が実現可能となる。

【0021】第5の手段をとることで、電気的に書き換え可能な不揮発性メモリ素子を有する半導体集積回路装置をより低い電源電圧で動作させることが可能と第6の手段をとることにより、今まで得られなかった電源電圧が低くても高速動作が可能で、かつ、低消費電力、電気的書換が可能な不揮発性メモリ素子を有する半導体集積回路装置が可能となる第7の手段をとるより、今まで得られなかった電源電圧が高くても消費電力が無く、かつ、長寿命な、電気的書換が可能な不揮発性メモリ素子を有する半導体集積回路装置が可能となる。

【0022】第8の手段をとることにより、今まで得られなかった薄型で高輝度なエレクトロルミネッセンス素子の発光特性を利用した発光機器を有する電子機器が可能となる。第9の手段をとることにより、今

40



5

【0024】図1は、本発明に係わる第1の実施例のMOSFETを示す模式的断面図である。ソース12及びドレイン13と半導体基板14（MOSFETがウェル内に形成されている場合にはウェル）との接合からひろがる空乏層は半導体基板（またはウェル）の濃度が薄いほど広がりやすい。そこで、本実施例では、半導体基板（またはウェル）の濃度、あるいは、ソース12ならびにドレイン13近くの半導体基板（またはウェル）の濃度を $6 \times 10^{14} \text{ atoms/cc}$ と低くし、ソース12及びドレイン13からのひろがる空乏層の広がりを大きくし、チャンネル19の空乏層の広がりの負担量を増やすことによって、チャンネルを形成するために必要な、ゲートに印加される電圧を小さくするすむようにし、基板効果によるしきい値の上昇を抑制できる構成とした。

【0025】図2は、本発明に係わる第2の実施例である昇圧回路の回路図である。また、図3は第2の実施例である昇圧回路の段数及び、従来のMOSFETを使用した昇圧回路の段数と昇圧電圧の関係を示した図である。ドレインとゲートが同一のノードで接続されたMOSFETを複数直列に接続し、おのおのMOSFET同士が接続されるノードには、それぞれ容量素子 $C_1 \sim C_n$ が接続されている。容量素子の片方の電極にはおおよそ互いに位相のずれた信号を、一つおきに交互に与える構造になっており、容量 $C_1$ から $C_n$ へ順次電荷を転送することにより、電源電圧 $V_{cc}$ よりも昇圧された高い電圧である $V_F$ がMOSFET $M_n$ より出力される。ここで、 $M_a$ と $C_a$ のペアを $a$ 段目の昇圧ユニットとし、昇圧回路内の昇圧ユニット数を昇圧回路の段数とする。

【0026】このときMOSFET $M_1 \sim M_n$ がすべて同じしきい値で構成されていると、後段になるほど基板効果により実質的なしきい値が上昇するため、ドレイン電圧に対するソース電圧の低下が次第に大きくなる。すなわち昇圧回路の効率が後段ほど悪くなる。図3のグラフ(a)は、このように昇圧回路を構成した場合の段数と昇圧電圧の関係を示す。

【0027】そこで本実施例では、MOSFET $M_1 \sim M_n$ をしきい値が基板効果の影響を受けにくいように、前記第1の実施例で述べた構成のMOSFETで構成した。図3のグラフ(b)は、このように昇圧回路を構成

6

を異なる値にするのではなく、いくつかのブロックで数段づつしきい値を変えてもよい。

【0029】また、図4(a)は本発明の第3のに係わるMOSFETのチャンネルのL長部分を示す断面図であり、図4(a)において、各構成要素は図1と同様である。図4(b)、(c)は第1の実施例のMOSFETを昇圧回路に用いたときの段OSFETのL長の関係を示す図である。図4(L長を図4(b)、(c)に示すように、前段かにしたがって変化させていくことによって、各段のドレイン電圧に対するソース電圧の低下は低く、昇圧回路の効率は非常に高くなる。

【0030】図5は本発明の第4の実施例のMOSFETの断面構造を示す模式的断面図である。ゲートはチャンネル上で異なる2つの膜厚があり、この第1絶縁膜25および第2ゲート絶縁膜26のそれぞれ膜厚と第1ゲート絶縁膜25および第2ゲート絶縁膜26のそれぞれの領域が占める面積比によって、しを制御することができる。図5では、ゲート絶縁膜中央部の膜厚が薄くなっているが、周辺部が厚く、が厚くてもよい。ゲート絶縁膜のどの部分の膜厚く、どの部分が薄いということを規定するものでい。

【0031】また、図6(a)に第4の実施例のFETを昇圧回路に用いた場合の、MOSFETと第1ゲート絶縁膜長さ： $L_1$ と第2のゲート絶縁膜長さ： $(L_0 + L_2)$ の関係を示し、図6(b)に1を変えたときのMOSFETのしきい値の変化した。このように後段になるにつれて、第1ゲート長さを長く、第2ゲート絶縁膜長さを短くすることにより第1ゲート絶縁膜領域と第2ゲート絶縁膜面積比を変えらることによって、容易にしきい値の可能である。

【0032】さらに、図7は本発明の第4の実施OSFETの模式的平面図である。ソース32とン33の間のゲート31のゲート絶縁膜は、第1絶縁膜領域34と第2ゲート絶縁膜領域35が形成。前記したように、ゲート絶縁膜のどの部分の厚く、どの部分が薄くても良いが、ゲート絶縁膜部分はチャンネル幅方向に対しては、とどめらること

10

29

30

40

昇圧回路においては、図58のようにMOSFETのゲートを二層のゲートにする事は容易である。ここで、第1ゲート41と第2ゲート電極42の下第1ゲート絶縁膜45と第2ゲート絶縁膜46のそれぞれの膜厚と第1ゲート絶縁膜45と第2ゲート絶縁膜46それぞれの領域が占める面積比によって、しきい値を制御することができる。

【0034】第4の実施例と同様、図6のように段数によって、 $L_1$ 、 $L_0 + L_2$ を変化させれば、効率の良い昇圧回路ができる。なお図8では第1ゲート下のゲート絶縁膜を薄く、第2ゲート下のゲート絶縁膜を厚くしてあるが、この逆でもかまわない。また、第1ゲート下がすべて第1ゲート絶縁膜である必要はない。もちろん第2ゲート下がすべて第2ゲート絶縁膜である必要もない。また、必ずしも第1ゲートがすべて第2ゲートに覆われている必要もない。

【0035】図9は本発明の第6の実施例の別のMOSFETの断面構造を示す模式的断面図である。図9において、各構成要素の番号は図8と共通である。昇圧回路ではゲートとドレインは同電位であるため、この図のようにゲート側壁とドレイン上面をドレイン・ゲート共通電極47としてアルミ配線できる。共通のアルミ配線にすることによって、配線スペース分だけ素子を微細にすることができる。その結果、チップ面積の縮小がはかれる。もちろん、このゲート側壁とドレイン上面を両者同時にアルミ配線することは、多結晶シリコンが二層ある場合に限らない。一層でも可能である。

【0036】図10は、本発明にかかる第7の実施例である昇圧回路の回路図である。図10において、MOSFET M0~M14は、しきい値が0Vに近いエンハンスメント（本実施例では約0.05V）のMOSFETを使用し、M15~M28はしきい値が約-0.5VのデプレッションのMOSFETを使用している。M0のドレインとゲートは共に電源電圧Vccに接続されており、前記クロック信号φ、φ\*が印加されると、M0を通して電源から供給された電荷が次々と後段に転送されて、最終的にはM28のソースに電源電圧Vccより高い電圧Vpp（本実施例の場合は約20V）が出力される。

【0037】図11に、本実施例で使用したMOSFETのしきい値のソースと基板の電圧差VRS依存性を示

できるようになる。

【0038】図12は、本発明にかかる第8の実ある昇圧回路の回路図である。図13はMOSFET模式的平面図を示し、ソース102とドレイン1間にチャネルが形成され、チャネルの上にゲート（図5では省略）を介してゲート101が形成される。このチャネルは不純物濃度が異なる複数のチャネルを有し、不純物導入用マスクのパターン106にて、第1の不純物濃度のチャネル104と第2の不純物濃度のチャネル105とに分離し、不純物導入用パターンによってその幅107とパターン間の間隔が定められる。

【0039】本実施例の図12では、MOSFET 1~Mnを図13に示すような、チャネルが2種の不純物濃度から成る構造にしている。特に限定はしませんが、具体的には、第1の不純物濃度のチャネル1は、P型半導体基板の濃度で決まるネイティブ状っており、チャネルの全領域を第1の不純物濃度としきい値は約0.05Vとなる。また、第2の不純物濃度のチャネル105には、不純物としてリン（50KeV、 $2 \times 10^{11} \text{ cm}^{-2}$ ないしは $3 \times 10^{11} \text{ cm}^{-2}$ ）の条件で導入し、デプレッション型にしてそしてこの構造のMOSFETのしきい値は、第1の不純物濃度のチャネル104と第2の不純物濃度のチャネル105の面積比と形状で決まる。

【0040】図13では、第2の不純物濃度のチャネル105が、チャネル長と平行な短冊状に形成されが、ここでは特に図示しないが、第2の不純物濃度のチャネル105がチャネル幅と平行な短冊状やドッパ型半導体構造に形成される場合もある。図14に示すMOSFETの全チャネルに対する第2の不純物濃度のチャネル105の面積比を横軸とし、しきい値にしたグラフを示す。前記グラフのカッコ内は、左が第2の不純物濃度のチャネル105の幅が間隔でおのおの[μm]単位で示してある。さ全チャネルに対する第2の不純物濃度のチャネル105の面積比が0と1すなわち、チャネルがネイティブのMOSFETと全面を第2の不純物濃度のチャネル105が占めている状態のMOSFETのしきい値の点で表している。この図14からわかるよ

段のしきい値を設定すると良い。こうすることで、より効率の良い昇圧回路を得ることができるように、さらに、従来は、エンハンスメントの $V_{th}$ 以外に必要な $V_{ch}$ の種類別の不純物導入工程が必要であったのが、不純物導入工程が1回で済むようになるので、低コストで昇圧回路が作成できるようになる。

【0042】また、前記実施例7の昇圧回路の後段のデプレッションタイプのMOSFETを、図13で示すようなチャンネルが2種類の不純物濃度のチャンネルからなる構成とし、この2種類の不純物濃度のチャンネルの面積比をいじり形状を変える方法で、作成しても良い。

【0043】図15に本発明に関わる第9の実施例である昇圧回路の回路図を示す。前記してきたように昇圧回路は、クロック信号 $\phi$ 、 $\phi^*$ を用いて順次容量素子に充電される電荷をMOSダイオードを介して後段にむけて順次転送することにより、電源電圧 $V_{cc}$ よりも高い昇圧電圧 $V_{pp}$ を発生する。つまり、瞬時に最大の昇圧電圧 $V_{pp}$ を発生できるのではなく、クロック信号 $\phi$ 、 $\phi^*$ が供給される回数の増加と共に昇圧電圧 $V_{pp}$ が増加していき、やがて、最大の昇圧電圧 $V_{pp}$ に飽和する。この前記昇圧回路を内部に組み込んだ半導体集積回路装置では、この昇圧電圧 $V_{pp}$ が必要となるときに昇圧回路を作動させ、昇圧電圧 $V_{pp}$ を発生させて、この発生した昇圧電圧 $V_{pp}$ で目的とする行為を行う場合が多い。

【0044】例えば、不揮発性メモリ素子を有した半導体集積回路装置では、不揮発性メモリ素子の書き換えに回路内に内蔵する前記昇圧回路を作動させ、発生した昇圧電圧 $V_{pp}$ で不揮発性メモリ素子の書き換えを行っている。従って、前記昇圧回路の昇圧速度が遅いと不揮発性メモリ素子を書き換える速度、言い換えれば、不揮発性メモリ素子を有した半導体集積回路装置の動作速度が遅くなる。特に電源電圧が低下した場合では、前記昇圧回路の電源電圧 $V_{dd}$ と、クロック信号 $\phi$ と $\phi^*$ の波高値が低くなり、昇圧速度が低下するため、動作速度の低下が顕著となる。

【0045】この前記昇圧回路は、クロック信号がハイレベルとなった段の電圧が、クロック信号の波高値分上昇することにより発生した電荷を、その段のダイオード接続したMOSFETを介して、その段の後段の容量素子に、後段の電圧が前段の電圧から振幅値で上昇して

$C_{i+1}$ は、 $i+1$ 段目の容量素子の容量値、 $V_{i+1}$ は、 $i$ 信号がロウレベルになった瞬間の $i+1$ 段目の電圧、 $V_{thi}$ は、 $i$ 段目の前記MOSFETのしきい値である。

【0047】この式より、 $i$ 段目の容量素子の容量 $C_i$ に対する $i+1$ 段目の容量素子の容量値 $C_{i+1}$ によって、後段の電圧上昇分 $V_i$ が決まることが分言い換えれば、 $i$ 段目の容量素子の容量値 $C_i$ に、 $i+1$ 段目の容量素子の容量値 $C_{i+1}$ を小さく設けるほど、昇圧回路の昇圧速度が遅くなり、逆

に設定すればするほど、昇圧速度が速くなることになる。また、前記 $i$ 段目のMOSFETのしきい値が低くなるほど昇圧速度が上昇することもわかる。【0048】本実施例の昇圧回路では、上記したの容量素子の容量値 $C_i$ に対する $i+1$ 段目の容量素子の容量値 $C_{i+1}$ の値によって昇圧速度が変わる

ことにより、各段の容量素子の絶縁膜である酸化膜の膜厚を、容量素子の面積 $S_i$ を前段から後段にかけて小さくする( $S_1 > S_2 > S_3 > \dots > S_n > 1$ )ことにより、各段の容量素子の容量値を前段からかけて順次小さくするように構成する。これにより昇圧回路の昇圧速度を上昇させることができる。特

に、本実施例の昇圧回路の各部の設計値は電圧0.9Vから2.0Vまで昇圧するとすると、2.4段、容量素子の酸化膜厚は5.0nm、そして容量素子の面積は、初段の容量素子の面積を $5 \mu m^2$ とし、2段目以降の容量素子の面積は、各段にある容量素子の面積から、その前段にある容量素子の面積の10%を引いた値とすることを推奨する。【0049】さらに、上記した $i$ 段目のMOSFETのしきい値 $V_{thi}$ が低くなるほど昇圧速度が上昇す

る旨とし、上記した各段の容量素子の構成に加えのMOSFETのしきい値を、前記第2～第8段で述べたいずれかの構成とすることによって、昇の昇圧速度は、よりいっそう上昇させることがで昇電圧についても、上昇させることができる。

【0050】図16に本発明に関わる第10の実ある昇圧回路の回路図を示す。各段の容量素子である酸化膜の膜厚を一定とし、1段以上のブロック内の容量素子の容量値は同じとし、

を上昇させることができる。特に制限しないが、本実施例の昇圧回路の各部の設計値は、電源電圧0.9Vから2.0Vまで昇圧するとすると、段数は24段、容量素子の酸化膜厚は50nm、各ブロック内の段数は4段、そして、各段の容量素子の面積は、最初のブロックの容量素子の面積を5000 $\mu\text{m}^2$ とし、それ以降のブロックの容量素子の面積は、各ブロックの前のブロックの容量素子の面積から、各ブロックの前のブロックの容量素子の面積の20%を引いた値とすることを推奨する。

【0051】さらに、上記した段目のMOSFETのしきい値 $V_{thi}$ が低くなるほど昇圧速度が上昇することに着目し、上記した各段の容量素子の構成に加え、各段のMOSFETのしきい値を、前記第2〜第8の実施例で述べたいずれかの構成とすることによって、昇圧回路の昇圧速度を、よりいっそう上昇させることができ、昇圧電圧についても、上昇させることができる。

【0052】図17に本発明に関わる第11の実施例である昇圧回路の回路図を示す。各段の容量素子の絶縁膜である酸化膜の膜厚を一定とし、容量素子の面積 $S_{Ci}$ を前段から後段にかけて順次大きくする( $S_{C1} > S_{C2} > S_{C3} > \dots > S_{Cn-1} > S_{Cn}$ )ことにより、各段の容量素子の容量値を前段から後段にかけて順次大きくするように構成する。これにより、前記第1の実施例で述べた理由で電圧昇圧速度を速くすることができる。特に制限しないが、本実施例の昇圧回路の各部の設計値は、電源電圧2Vから2.0Vまで昇圧するとすると、段数は12段、容量素子の酸化膜厚は50nm、そして、各段の容量素子の面積は、初段の容量素子の面積を1000 $\mu\text{m}^2$ とし、2段目以降の容量素子の面積は、各段の前段にある容量素子の面積に、各段の前段にある容量素子の面積の10%を加えた値とすることを推奨する。

【0053】図18に本発明に関わる第12の実施例である昇圧回路の回路図を示す。各段の容量素子の絶縁膜である酸化膜の膜厚を一定とし、1段以上の段数ごとのブロックに分け、ブロック内の容量素子の容量値は同じとし、後段のブロックにいくに従ってブロック内の容量素子の容量値を順次大きくするように構成する。これにより、前記第1の実施例で述べたように、あるブロックの最後段の容量素子の容量値に対するその後段のブロックの最前段の容量素子の容量値が大きくなり、電圧昇

ある昇圧回路の回路図を示す。各段の容量素子の固定し、容量素子の絶縁膜である酸化膜の膜厚T段から後段にかけて順次厚くする( $T_{C1} < T_{C2} < \dots < T_{Cn-1} < T_{Cn}$ )ことにより、各段の容量素量値を前段から後段にかけて順次小さくするようにする。これにより、前記第1の実施例で述べた昇圧昇圧速度を上昇させることができ、かつ、容量電極間高い電圧がかかる後段側の容量素子はほとんど向上できる。特に制限しないが、本実施例の昇圧各部の設計値は、電源電圧1.5Vから2.0Vまでとすると、段数は16段、容量素子の面積は0 $\mu\text{m}^2$ に固定し、そして、各段の容量素子の膜は、初段の容量素子の酸化膜厚を20nmとし、以降の容量素子の酸化膜厚は、各段の前段にある子の酸化膜厚に、各段の前段にある容量素子の膜の10%を加えた膜厚とすることを推奨する。

【0055】さらに、上記した段目のMOSFETしきい値 $V_{thi}$ が低くなるほど昇圧速度が上昇することに着目し、上記した各段の容量素子の構成に加えてMOSFETのしきい値を、前記第2〜第8段のしきい値を、前記第2〜第8段のしきい値を、よりいっそう上昇させることができる。昇圧電圧についても、上昇させることができる。

【0056】図20に本発明に関わる第14の実例である昇圧回路の回路図を示す。各段の容量素子の固定し、1段以上の段数ごとのブロックに分け、ブロック内の容量素子の酸化膜厚 $T_{Ci}$ を順次厚くする( $T_{C1} = T_{C2} = \dots = T_{Cn} < (T_{Cn+1} = T_{Cn+2} = \dots = T_{Cn+K}) < (T_{Cn+K+1} = T_{Cn+K+2} = T_{Cn+K+3} = \dots < K < N)$ ことにより、各ブロック容量素子の容量値を前段側ブロックから後段側ブロックにかけて順次小さくするように構成する。これに前記第1の実施例で述べたように、あるブロックの容量素子の容量値に対するその後段のブロックの前段の容量素子の容量値が小さくなり、電圧昇圧上昇させることができ、かつ、容量素子の電極間電圧がかかる後段側ブロックの容量素子はほとんど耐圧できる。

【0057】特に制限しないが、本実施例の昇圧

13

しきい値 $V_{th}$ が低くなるほど昇圧速度が上昇することに着目し、上記した各段の容量素子の構成に加え、各段のMOSFETのしきい値を、前記第2～8の実施例で述べたいずれかの構成とすることによって、昇圧回路の昇圧速度を、よりいっそう上昇させることができ、昇圧電圧についても、上昇させることができる。

【0059】図21に、本発明に関する第15の実施例である昇圧回路に入力するクロック信号の波高値を昇圧するために昇圧回路に付加される信号昇圧回路の回路図を示す。ダイオード接続したN型MOSFET3のドレインとゲートに電源電圧 $V_{cc}$ を入力し、前記N型MOSFET3の基板をグランド端子に、ソースを第1のノード5に接続し、前記第1のノード5には容量値C1の容量素子4の片側電極が接続され、前記容量素子4のもう一方の片側電極には、第2のインバータ2の出力が接続されている。さらに、前記第1のノード5にP型MOSFETのソースとウェルが接続された第1のインバータ1を設け、前記両インバータに波高値が電源電圧 $V_{cc}$ の同一クロック信号CLKを入力し、第1のインバータ1の出力CLKoutから、波高値が昇圧されたクロック信号が出力される構成となっている。なお、前記信号昇圧回路の動作説明を昇圧回路に接続した状態で説明するために、昇圧回路の容量素子を想定した容量値C2の容量素子6を、片方の電極を第1のインバータ1の出力CLKoutに、もう片方の電極をグランド端子に接続した形で追加してある。

【0060】次に上記本実施例の信号昇圧回路の動作を図21とタイミングチャートである図22にもとづき説明する。時刻t0で、前記クロック信号CLKはハイレベルであり、第1のインバータ1の出力CLKoutと第1のノード5は、電気的に遮断された状態、第1のインバータ1の出力CLKout、第2のインバータ2の出力、ともにロウレベルとなり、第1のノード5は、電源電圧 $V_{cc}$ から前記N型MOSFET3のしきい値 $V_{th}$ を引いた値の電圧となる。

【0061】時刻t1で、クロック信号CLKがロウレベルとなり、第1のインバータ1の出力CLKoutと第1のノード5は電気的に接続された状態、第2のインバータ2の出力はハイレベルとなるので、第1のインバータ1の出力CLKoutと第1のノード5は容量素子4に

14

り返すことで波高値が昇圧されたクロック信号をせる。ここで、上記 $V_{th}$ は前記クロック信号の波高値である。つまり、本実施例の信号昇圧回路を昇圧回路加することにより、従来の昇圧回路よりも、クロックの波高値が上昇するので、高電圧の昇圧回路をとがで、クロック信号によって後段に送られるが上昇するので、昇圧速度も上昇させることが出

【0064】さらに、前記本実施例の信号昇圧回路加する昇圧回路を前記第2～第10ないし第134の実施例で述べたいずれかの構成とすることにより昇圧電圧と昇圧速度をよりいっそう上昇させた昇圧を得ることができる。図23に本発明に関する第15の実施例である昇圧回路に入力するクロック信号の昇圧するために、昇圧回路に付加される信号昇圧の回路図を示す。

【0065】図23に示すように、前記第15の図で述べた信号昇圧回路同様、第1のインバータ1のインバータ2、容量値C1の容量素子4を前記第15の実施例で述べた信号昇圧回路の前記N型MOSFETの代わりに第3のインバータ151、第1のインバータ1と第3のインバータ151は、P型MOSFETのソースとウェルがグランド端子に、第2のインバータ2は、P型MOSFETのソースとウェルが電源電圧 $V_{cc}$ 、N型MOSFETのソースと基板がグランドに、第1のP型MOSFET152は、ソースとゲートが第1のノード5、ドレインが電源端子 $V_{cc}$ に接続されており、さらに、第3のインバータ151が第1のP型MOSFET152のゲートに、インバータ2の出力が容量素子4の一方の電極、子4のもう片方の電極が第1のノード5に接続されて、前記第15の実施例で述べた信号昇圧回路同様の信号昇圧回路の動作説明も昇圧回路の容量が接続された状態で説明するために、昇圧回路の子の容量値を想定した容量値C2の容量素子6をのインバータの出力CLKoutに前記容量素子6の電極を接続し、もう片方の電極はグランド端子するようにして設けた構成となっていて、第1のインバータ1にはCLK1、第3のインバータ151と

46

ングチャートである図24にもとづき本実施例の動作を説明する。時刻 $t_0$ で、前記クロック信号CLK1、CLK2ともにハイレベルであり、第1のインバータ1の出力CLKout、第3のインバータ151の出力、ともにロウレベルとなり、さらに第2のインバータ2の出力もロウレベルとなるので、第1のノード5は、第1のP型MOSFET152がロウインピーダンスとなり、電源電圧 $V_{cc}$ となる。

【0067】時刻 $t_1$ では、CLK2がハイレベルのままで、CLK1がロウレベルとなり、第1のインバータ1の出力CLKoutは、電源電圧 $V_{cc}$ となる。時刻 $t_2$ で、CLK1がロウレベルのままでCLK2がロウレベルとなるので第2のインバータ2の出力と第3のインバータ151の出力ともにロウレベルとなり、第1のP型MOSFET152は、ハインピーダンスとなるので、第1のノード5と第1のインバータ1の出力CLKoutは、容量素子4によって以下の式で示す $V_{dda}$ まで昇圧される。

$$[0068] V_{dda} = (2V_{cc} \times C_1 + V_{cc} \times C_2) / (C_1 + C_2)$$

時刻 $t_3$ で、CLK1がロウレベルのままCLK2がハイレベルとなるので、第3のインバータ151の出力、第2のインバータ2の出力ともにロウレベルとなり、第1のノード5が電源電圧 $V_{cc}$ まで下がるので、前記昇圧回路の容量素子に相当する容量素子6に溜まった全電荷の一部の電荷 $[(V_{dda} - V_{cc}) \times C_2]$ が第1のインバータ1を介して第1のノード5に逆流し、第1のインバータ1の出力CLKoutは電源電圧 $V_{cc}$ となる。

【0069】そして、時刻 $t_4$ で、CLK2がハイレベルのままCLK1がハイレベルとなるので、第1のインバータ1の出力の昇圧回路の容量素子に相当する容量素子6に溜まった電荷 $(V_{cc} \times C_2)$ がグランド端子に流れて第1のインバータ1の出力CLKoutがロウレベルとなり、前記時刻 $t_0$ の状態に戻る。

【0070】つまり、この時刻 $t_0$ から時刻 $t_4$ の間の動作を繰り返すことにより、波高値が昇圧されたクロック信号を発生させる。ここで、前記 $V_{dda}$ が本実施例の信号昇圧回路から出力するクロック信号の波高値である。上記したように本実施例の信号昇圧回路の、出力するクロック信号の波高値 $V_{dda}$ は、前記第15で実施例で第

昇圧回路の出力するクロック信号の周波数である。り、本実施例の信号昇圧回路を昇圧回路に付加することにより、前記従来の昇圧回路より、高い昇圧電圧昇圧速度の昇圧回路が得られるようになるのはほんのことで、前記第15の実施例で述べた信号昇圧付加した昇圧回路よりも、高い昇圧電圧で、低消費の昇圧回路を得ることができ、しかも昇圧回路にクロック信号の波高値が高くなり、後段に送るが上昇するので、昇圧速度も上昇させることが出【0072】さらに、前記本実施例の信号昇圧回路に昇圧回路を前記第2～第10ないし第134の実施例で述べたいずれかの構成とすることに昇圧電圧と昇圧速度をよりいっそう上昇させた昇圧を得ることができる。図25に本発明に関わる第実施例である不揮発性メモリ素子を有した半導体装置の簡単なブロック図を示す。

【0073】メモリ手段としての不揮発性メモリ161に対して、データの書込み、読み出しのためのビット線制御回路162が設けられているビット線制御回路162はデータバッファ166があり、アドレスバッファ164からのアドレス値をカラムデューダ163の出力を受けるようにいる。また、不揮発性メモリ素子アレイ161にて、制御ゲート及び選択ゲートを制御するためにコード165が設けられている。昇圧回路167は昇圧回路168からの駆動信号を受けて発生させた圧を、不揮発性メモリ素子アレイ161の書込み消去時に、ビット線制御回路162とロウデュー5に供給する。

【0074】本実施例では、上記昇圧回路167の昇圧電圧が低い場合（例えば、9V）は、前記第8ないし第15、第16の実施例で述べたいずれの構成とすることで、電源電圧が低い場合でも、不揮発性メモリ素子の書き換えに必要な昇圧電圧（20V）を得ることができる。つまり、電源電圧が低い場合も、十分な書き換えが可能な前記半導体装置回路実現可能になり、電源電圧が低下した場合（例えば2V）は、前記第9、第10、第13、ないし第実施例で述べたいずれかの構成とすることで、電40が低下した場合でも、不揮発性メモリ素子の書き

17

設計値とすることを推奨する。図26に本発明に関わる第18の実施例である電源とその電源電圧を昇圧する昇圧回路101とエレクトロルミネッセンス素子173(以降ELと略称する。)からなる発光機器を有する電子機器の模式的ブロック図を示す。

【0076】EL173の片側電極をグランド端子と接続し、もう一方の片側電極の電圧を昇圧回路171で昇圧し、その昇圧した電圧をNPNトランジスタ174により、グランド端子の電圧近くまで素早く低下させる。この電圧が昇圧されている時と、昇圧した電圧をグランド端子の電圧近くまで素早く低下させている時にEL173が発光する。つまり、この発光の繰り返しで輝度を得る。なお、発光の繰り返し速さはタイマー回路175によって制御される。

【0077】従来の前記電子機器は、前記EL173に与える昇圧電圧をコイル方式で発生させていたため、コイル部分の厚みで、薄く作成できなかった。しかし、本実施例では、薄い半導体基板上に形成した昇圧回路171で前記昇圧電圧を発生させているので、従来よりも薄型の前記電子機器が実現可能となる。

【0078】さらに、本実施例の電子機器のEL173の輝度は、EL173の発光間隔が短いほど、与えられる昇圧電圧が高いほど上昇する。つまり、EL173の輝度は、昇圧回路171のEL173の発光に必要な電圧まで上昇する時間を短くでき、発光間隔を短くできれば上昇し、また、その発光のために与えられる電圧が高ければ高いほど上昇できるので、本実施例の電子機器の前記昇圧回路171を、前記第2〜第10ないし、第13〜第16の実施例で述べたいずれかの構成とすることで、EL173に、短い時間で高い昇圧電圧を与えることができ、薄型で、しかも、十分な輝度を発生できる前記電子機器が実現可能となる。

【0079】特に制限しないが、本実施例の昇圧回路171を上記のような構成にしたときの段数と全容量素子の平均値は、EL173が数nFの容量値があり、タイマー回路175による電圧低下周期が256Hz程度で、その間にVout172に100V程度の昇圧電圧を供給できる昇圧速度があれば、十分な輝度が得られるので、電源電圧Vccを3V、クロック信号の周波数を3MHzとすると、第15と第16の実施例で述べた構成を

18

で素早く低下させるための昇圧回路171、NPNトランジスタ174、そして、タイマー回路175を173の両側電極それぞれに設け、EL173の電極の電圧を昇圧し、その昇圧した電圧を急激にトランジスタの電圧近くまで素早く低下させる行為を行っている。EL173の両電極で行われる上記タイミングは、ちょうど半周期ずれていて、片方の昇圧した電圧がグランド端子の電圧近くまで素下させている時に、もう片方の電極の電圧が昇圧ようになっている。これにより、EL173の両の昇圧回路171で昇圧する電圧は、50V程ばそれなりの輝度が得られるようになる。つまり50V程度の電圧は、電源電圧Vccが低い場合(2V)でも、前記各昇圧回路171で昇圧可能なので、薄型で、電源電圧Vccが低い場合(例えばでも、それなりの輝度が得られる前記電子機器が)能となる。

【0081】さらに、本実施例の場合も、第18例で述べたように、EL173の輝度は、EL173の発光間隔が短く、与えられる昇圧電圧が高いほど、つまり、EL173の輝度は、昇圧回路171のEL173の発光に必要な電圧まで上昇する時間を短くし、発光間隔を短くできれば上昇し、また、そのために与えられる電圧が高ければ高いほど上昇する。第18の実施例で述べたように、本実施例の昇圧回路171を、前記第2〜第10、ないし3〜第16の実施例で述べたいずれかの構成とにより、EL173に短い時間で高い昇圧電圧をことができ、薄型で、電源電圧が低い場合(例えばでも、十分な輝度を発生できる前記電子機器可能となる。

【0082】特に制限しないが、本実施例の昇圧回路171を上記のような構成にしたときの段数と全容量の平均値は、EL173が数nFの容量値があり、タイマー回路175による電圧低下周期が256Hzで、その間にVout172に50V以上の昇圧電圧を供給できる昇圧速度があれば、それなりの輝度が得るので、電源電圧Vccを1.5V、クロック信号の周波数を3MHzとすると、第15と第16の実施例で述べた構成を採用する場合以外に、今て段数を4(即

と、昇圧回路 171 にタイマー回路 175 の信号を受けて、MISFET で放電している EL173 の電極に出力が接続してある方の昇圧回路に供給する Vcc および発振回路からの出力信号中、\* の入力停止させる機能を追加した点である。これにより、同一基板上に EL173 以外が形成できるのでコストダウンでき、さらに、昇圧回路が停止できるので、その分消費電流の減った前記電子機器が実現可能となる。

【0084】さらに、本実施例の場合も、第 18 の実施例で述べたように、前記第 2 ～ 第 10、ないし第 13 ～ 第 16 の実施例で述べたいずれかの構成をとることにより、十分な輝度が発生できる前記電子機器が実現可能となる。当然第 15 と第 16 の実施例で述べた構成を採用する場合は、MISFET で放電している EL173 の電極に出力が接続してある方の昇圧回路に出力する前記昇圧回路からの入力信号が停止する構成となる。

【0085】特に制限しないが、本実施例の昇圧回路 171 を上記のような構成としたとき、前記第 19 の実施例のような動作条件の場合を想定できるので、第 19 の実施例で述べた設定とすることを推奨する。

【0086】

【発明の効果】上記したように、本発明は、以下に示す効果がある。すなわち、電気的に音換が可能な不揮発性メモリ素子を有する半導体集積回路装置などの、電源電圧から昇圧した電圧が必要な半導体集積回路装置内に、本発明の昇圧回路を用いることによって、今まで不可能だった低電圧で動作、あるいは、高電圧が可能な前記半導体集積回路装置を得ることができる。

【0087】さらに、高い昇圧電圧を必要とする前記 EL の発光を利用する発光素子を有する電子機器内に本発明の昇圧回路を用いることで、今まで不可能だった薄型で高輝度な、前記電子機器が実現可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の MOSFET の断面構造を示す模式的断面図である。

【図 2】本発明の第 2 の実施例の昇圧回路を示す回路図である。

【図 3】本発明の第 2 の実施例の昇圧回路の段数とそのときの昇圧電圧を示すグラフである。

【図 4】(a) は本発明の第 3 の実施例の MOSFET

【図 7】本発明の第 4 の実施例の MOSFET の造を示す模式的平面図である。

【図 8】本発明の第 5 の実施例の MOSFET の造を示す模式的断面図である。

【図 9】本発明の第 6 の実施例の MOSFET の造を示す模式的断面図である。

【図 10】本発明における第 7 の実施例の昇圧回路図である。

【図 11】本発明における第 7 の実施例の昇圧回路を成する MOSFET のしきい値の VBS 依存性を示すグラフである。

【図 12】本発明における第 8 の実施例の昇圧回路図である。

【図 13】本発明における第 8 の実施例の昇圧回路を成する MOSFET の模式的平面図である。

【図 14】本発明における第 8 の実施例の昇圧回路を成する MOSFET の全チャネルに対する第 2 の濃度のチャネルの面積比としきい値の関係をj示すグラフである。

【図 15】本発明における第 9 の実施例の昇圧回路図である。

【図 16】本発明における第 10 の実施例の昇圧回路図である。

【図 17】本発明における第 11 の実施例の昇圧回路図である。

【図 18】本発明における第 12 の実施例の昇圧回路図である。

【図 19】本発明における第 13 の実施例の昇圧回路図である。

【図 20】本発明における第 14 の実施例の昇圧回路図である。

【図 21】本発明における第 15 の実施例の信号回路の回路図である。

【図 22】本発明における第 15 の実施例の信号回路の動作を示すタイミングチャート図である。

【図 23】本発明における第 16 の実施例の信号回路の回路図である。

【図 24】本発明における第 16 の実施例の信号回路の動作を示すタイミングチャート図である。

【図 25】本発明における第 17 の実施例の不揮



21

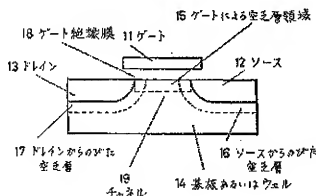
有する電子機器の簡単なブロック図である。

【図29】従来のMOSFETの模式的断面図である。

【符号の説明】

- 1 第1のインバータ
- 2 第2のインバータ
- 3 ダイオード接続したN型MOSFET
- 4 容量値C1の容量素子
- 5 第1のノード
- 6 容量値C2の容量素子
- 11 21, 31 101 ゲート
- 12 22, 32, 43 102 ソース
- 13 23, 33, 44 103 ドレイン
- 14 基板あるいはウェル
- 15 ゲートによる空乏層領域
- 16 ソースからのびた空乏層
- 17 ドレインからのびた空乏層
- 18 ゲート絶縁膜
- 19 チャンネル
- 25 34, 45 第1ゲート絶縁膜
- 26 35, 46 第2ゲート絶縁膜
- 41 第1ゲート
- 42 第2ゲート

【図1】



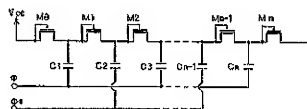
【図3】

22

\* 47 フレイン、ゲート共通電極

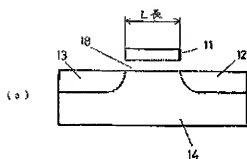
- 104 第1の不純物濃度のチャネル
- 105 第2の不純物濃度のチャネル
- 106 不純物導入用マスクパターンの幅
- 107 不純物導入用マスクパターンの幅
- 108 不純物導入用マスクパターンの間隔
- 151 第3のインバータ
- 152 第1のP型MOSFET
- 161 不揮発性メモリ素子アレイ
- 10 162 ビット制御回路
- 163 カラムデコーダ
- 164 アドレスバッファ
- 165 ロウデコーダ
- 166 データバッファ
- 167, 171 昇圧回路
- 168 発振回路
- 172  $V_{out}$  (昇圧電圧)
- 173 エレクトロルミネッセンス素子 (EL)
- 174 NPNトランジスタ
- 29 175 タイマー回路
- 176 発振回路
- \* 175 放電用MIFET

【図2】

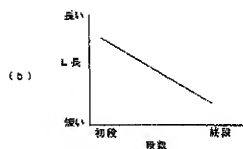


【図5】

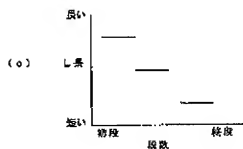
【図4】



(a)

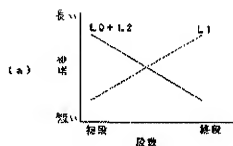


(b)

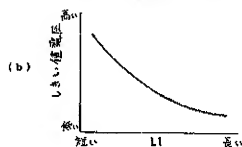


(c)

【図6】

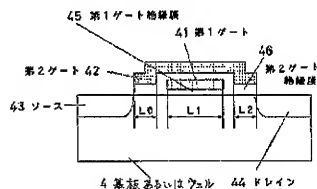


(a)

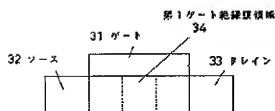


(b)

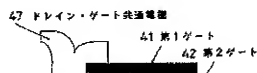
【図8】



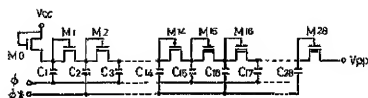
【図7】



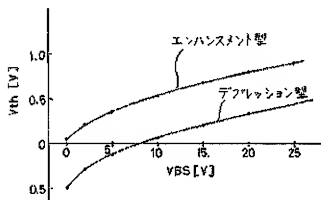
【図9】



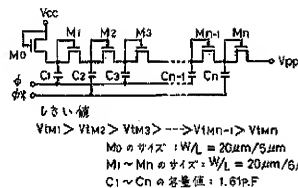
【図10】



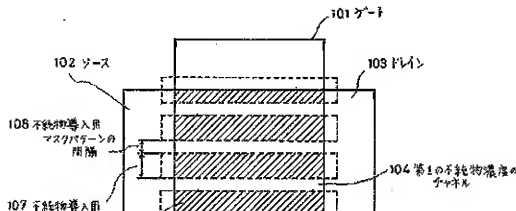
【図11】



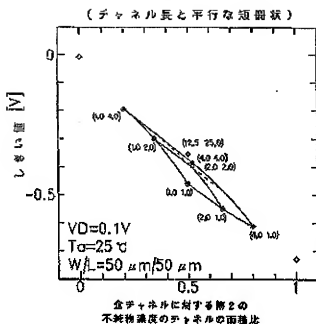
【図12】



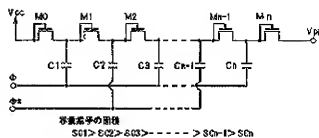
【図13】



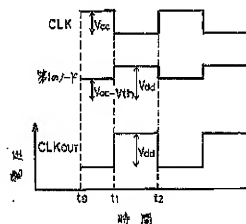
【図14】



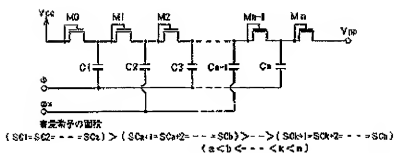
【図15】



【図22】



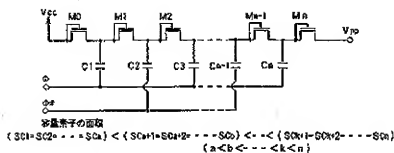
【図16】



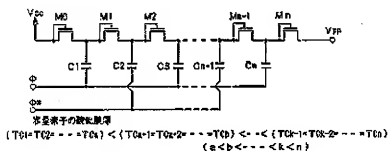
【図17】

【図19】

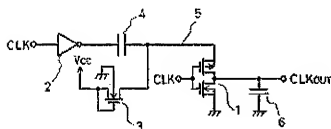
【図18】



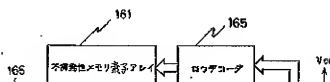
【図20】



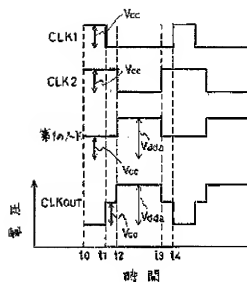
【図21】



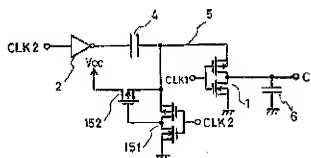
【図25】



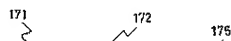
【図24】



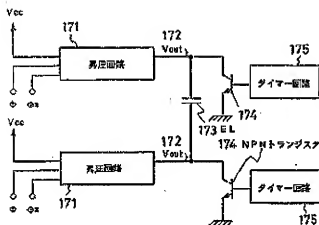
【図23】



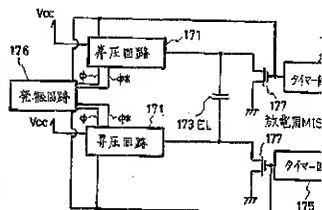
【図26】



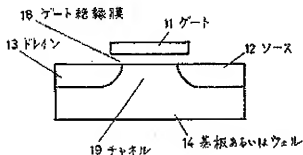
【図27】



【図28】



【図29】



フロントページの続き

- (72)発明者 斎藤 直人  
千葉県千葉市美浜区中瀬1丁目8番地 株式会社エスアイアイ・アールディセンター内
- (72)発明者 小山内 潤  
千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内

- (72)発明者 小西 春男  
千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内
- (72)発明者 宮城 雅記  
千葉県千葉市美浜区中瀬1丁目8番地 セイコー電子工業株式会社内

【公報種別】特許法第17条の2の規定による補正の掲載

【部区分】第7部門第2区分

【発行日】平成11年(1999)4月30日

【公開番号】特開平9-8229

【公開日】平成9年(1997)1月10日

【年号号数】公開特許公報9-83

【出願番号】特願平7-159599

【国際特許分類第6版】

H01L 27/04

21/822

【F1】

H01L 27/04

G

【手続補正書】

【提出日】平成9年12月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正内容】

【請求項2】前記半導体無積回路は、発振回路と、前記発振回路で発生させた第1のクロック信号の波高値を昇圧する第1の信号昇圧回路と、前記発振回路で発生させた前記第1のクロック信号と位相が逆の第2のクロック信号の波高値を昇圧する第2の信号昇圧回路を有し、前記2つの昇圧回路は、複数のダイオード接続されたMISFETがノードを介して直列接続し、前記ノードには容量素子の片側電極が接続されており、前記容量素子の前記片側電極のもう一方の電極には、前記第1の信号昇圧回路の出力信号と前記第2の信号昇圧回路の出力信号1つ置きに交互に入力する構成であり、前記エレクトロルミネッセンス素子の両電極で、電圧を昇圧する側の電極の電圧を昇圧する前記昇圧回路にのみ前記第1と第2の信号昇圧回路の出力信号を入力し、昇圧電圧を放電する前記エレクトロルミネッセンス素子のもう一方の電極の電圧を昇圧する前記昇圧回路には、前記第1と第2の信号昇圧回路の出力信号を入力しないことを特徴とする請求項1記載の電子機器。

【手続補正2】

する。これにより、前記第1の実施例で述べた昇圧昇圧速度を上昇させることができ、かつ、容量電極間に高い電圧がかかる後段側の容量素子はほど向上できる。特に制限しないが、本実施例の昇圧各部の設計値は、電源電圧1.5Vから20Vまするとすると、段数は16段、容量素子の面積は $0.4\mu\text{m}^2$ に固定し、そして、各段の容量素子の酸は、初段の容量素子の酸化膜厚を20nmとし、以降の容量素子の酸化膜厚は、各段の前段にある子の酸化膜厚に、各段の前段にある容量素子の酸の10%を加えた膜厚とすることを特徴する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】特に制限しないが、本実施例の昇圧各部の設計値は、電源電圧1.5Vから20Vまするとすると、段数は16段、容量素子の面積は $0.4\mu\text{m}^2$ に固定し、各ブロック内の段数は4段で、各段の容量素子の酸化膜厚は、最初のブロックの容量素子の酸化膜厚に、各ブロックの前ブロックの容量素子の酸化膜厚の20%を加えた値

- 3 ダイオード接続したN型MOSFET
- 4 容量値C1の容量素子
- 5 第1のノード
- 6 容量値C2の容量素子
- 11. 21, 31 101 ゲート
- 12. 22, 32, 43 102 ソース
- 13. 23, 33, 44 103 ドレイン
- 14 基板あるいはウェル
- 15 ゲートによる空乏層領域
- 16 ソースからのびた空乏層
- 17 ドレインからのびた空乏層
- 18 ゲート絶縁膜
- 19 チャネル
- 25. 34, 45 第1ゲート絶縁膜
- 26. 35, 46 第2ゲート絶縁膜
- 41 第1ゲート
- 42 第2ゲート
- 47 ドレイン、ゲート共通電極
- 104 第1の不純物濃度のチャネル
- 105 第2の不純物濃度のチャネル
- 106 不純物導入用マスクパターン
- 107 不純物導入用マスクパターンの幅
- 108 不純物導入用マスクパターンの間隔
- 151 第3のインバータ
- 152 第1のP型MOSFET
- 161 不揮発性メモリ素子アレイ
- 162 ビット制御制御回路
- 163 カラムデコーダ
- 164 アドレスバッファ
- 165 ロウデコーダ
- 166 データバッファ
- 167, 171 昇圧回路
- 168, 176 発振回路
- 172  $V_{out}$  (昇圧電圧)
- 173 エレクトロルミネッセンス素子 (EL)
- 174 NPNトランジスタ
- 175 タイマー回路
- 177 放電用MISFET